

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09162305 A**

(43) Date of publication of application: **20 . 06 . 97**

(51) Int. Cl.

**H01L 21/8244**  
**H01L 27/11**

(21) Application number: **07320360**

(22) Date of filing: **08 . 12 . 95**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor:  
**WADA TOMOHISA**  
**UKITA MOTOMU**  
**HIROSE AKIHIKO**  
**ISHIKAWA HIDEKAZU**

(54) **SEMICONDUCTOR MEMORY DEVICE**

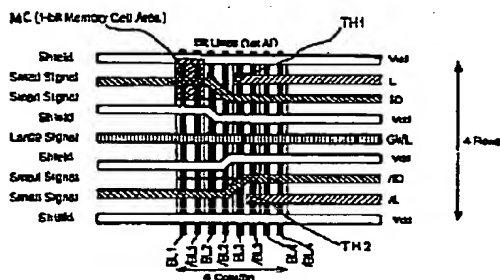
short-circuiting of a wiring due to dusts, etc.

(57) Abstract:

COPYRIGHT: (C)1997,JPO

**PROBLEM TO BE SOLVED:** To contrive to reduce disconnection, short-circuiting or the like of a wiring caused by high integration by a method wherein the other wires adjacent to a second bit line are bent and concentrated in a direction of an extension line of the second bit line in an area where the second bit line does not extend.

**SOLUTION:** A memory cell array contains a memory cell MC; bit lines (first bit lines) BL1, /BL1 to BL4, /BL4; bit line signal input and output lines (second bit lines) L, /L; a global word line GWL; data input and output lines IO, /IO and a grounding line Vdd. The second bit lines L, /L are arranged intersecting the first bit lines BL1, /BL1 to BL4, /BL4, and connected to the first bit lines BL1, /BL1 to BL4, /BL4 corresponding to each other, and its one end is a terminal in its connection portion. In particular, the other wires adjacent to the second bit lines L, /L are bent and concentrated in a direction of an extension line of the second bit lines L, /L in an area where the second bit lines L, /L do not extend. Thereby, it is possible to reduce the frequency of disconnection and





(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-162305

(43)公開日 平成9年(1997)6月20日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

FI

### 技術表示箇所

H O I L 21/8244

H O 1 L 27/10

381

27/11

審査請求 未請求 請求項の数9 OL (全 17 頁)

(21)出願番号

特願平7-320360

(22) 出題日

平成7年(1995)12月8日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 和田 知久

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 浮田 求

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)發明者 広瀬 愛彦

東京都千代田区丸の内二丁目2番3号 三菱重機株式会社内

(74)代理人 弁理士 葛野 信一

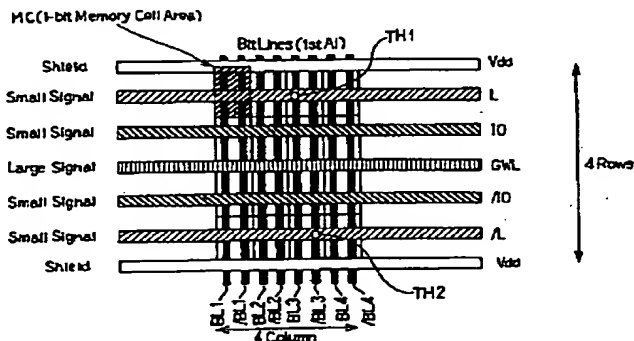
**最終頁に続く**

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 半導体記憶装置のメモリエルアレイの配線構成において、従来はグローバルワード線に隣接してシールド線を配置し他の信号線への遮蔽としていたが、線数が多くなり、微細化による各線の断線、ショートなどの防止が課題であった。

【解決手段】 グローバルワード線に隣接して、相補信号を伝達するビット線信号入出力線或は入出力データ線を配置することにより、グローバルワード線の影響を相殺するとともにシールド線を減らし、配線幅、配線間隔を確保して各線の断線、ショートなどを防止するようにした。



## 【特許請求の範囲】

【請求項1】 複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して配置され、それぞれが対応する前記第1ビット線と接続され、一端がこの接続部で終端した第2ビット線とを備え、前記第2ビット線に隣接する他の配線は、前記第2ビット線が延在しない領域において前記第2ビット線の延長線方向へ屈曲して偏在することを特徴とする半導体記憶装置。

【請求項2】 複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して配置され、それぞれが対応する前記第1ビット線と接続され、一端がこの接続部で終端した第2ビット線と、前記第1ビット線と交差するとともに前記第2ビット線に隣接して前記メモリアレイ上に配置された第2信号線と、前記第1ビット線と交差して前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差するとともに、前記第1信号線と前記第2信号線との間で前記第1信号線に隣接して前記メモリアレイ上に配置されたシールド線とを備え、少なくとも前記第2信号線は、前記第2ビット線が延在しない領域において前記第2ビット線の延長線方向へ屈曲するように偏在することを特徴とする半導体記憶装置。

【請求項3】 複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して配置され、それぞれが対応する前記第1ビット線と接続され、第2ビット線を含む半導体記憶装置において、前記第1ビット線と交差して前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差するとともに前記第1信号線を挟んでこの第1の信号線に隣接して前記メモリアレイ上に配置され相補信号を伝達する一対の第2信号線とを備えたことを特徴とする半導体記憶装置。

【請求項4】 複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して前記メモリアレイ上に配置され、それぞれが対応する前記第1ビット線と接続された第2ビット線と、前記第1ビット線と交差するように前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差するように前記メモリアレイ上に配置され前記第2ビット線の長さより長い第2信号線を含む半導体記憶装置において、前記第2ビット線が前記第1信号線と前記第2信号

線との間に配置されることを特徴とする半導体記憶装置。

【請求項5】 複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差して前記メモリアレイ上に配置された第2信号線と、前記第1ビット線と交差し、それぞれが対応する前記第1ビット線と接続され、前記メモリアレイ上で前記第1信号線と第2信号線との間に配置され、一端がこの接続部で終端する第2ビット線と、前記第2ビット線が延在しない領域においてこの第2ビット線の延長線上に配置されたシールド線を備えたことを特徴とする半導体記憶装置。

【請求項6】 複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差し、それぞれが対応する前記第1ビット線と接続され、一端がこの接続部で終端し、前記メモリアレイ上で前記第1信号線に隣接して配置された第2ビット線と前記第2ビット線が延在しない領域においてこの第2ビット線の延長線上に配置されたシールド線と、前記第1ビット線と交差し、前記第2ビット線および前記シールド線と隣接して前記メモリアレイ上に配置された第2信号線とを備えたことを特徴とする半導体記憶装置。

【請求項7】 複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線との交差して前記メモリアレイ上に配置され、それぞれが対応する前記第1ビット線と接続された第2ビット線と、前記第1ビット線と交差して前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差して前記メモリアレイ上に配置され前記第2ビット線より長い第2信号線と、前記複数の第1ビット線に所定の電位を供給するためのビット線負荷回路と、前記第2ビット線と前記第2信号線との間を導通または非導通にするトランスファークロフトと、前記第2信号線に所定の電位を供給するための信号線負荷回路とを備え、前記トランスファークロフトの導通時に、前記ビット線負荷回路の充電能力を低下させ、前記信号線負荷回路により、選択されていない前記第1ビット線の電位を所定の電位に保つようにしたことを特徴とする半導体記憶装置。

【請求項8】 複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセ

ルとを含むメモリアレイと、前記第1ビット線と交差して前記メモリアレイ上に配置され、それぞれが対応する前記第1ビット線と接続された第2ビット線と、前記第1ビット線と交差して前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差して前記メモリアレイ上に配置され前記第2ビット線より長い第2信号線と、前記各第1ビット線対と電源電位との間を導通制御するビット線負荷回路と、前記第2ビット線対と前記第2ビット線対に対応する前記第2信号線対との間を導通制御するトランスファークエートと、前記第2信号線対と電源電位との間を導通制御する信号線負荷回路とを備え、ブロック選択信号に応じて選択されるメモリアレイブロックにおいて前記ビット線負荷回路を非導通にするとともに前記トランスファークエートを導通させ、前記第2信号線対の前記信号線負荷回路を制御して選択された前記第1ビット線対に信号を入出力させるとともに、選択されない前記第1ビット線対を充電するようにしたことを特徴とする半導体記憶装置。

【請求項9】 前記第1ビット線をビット線とし、第2ビット線をビット線信号入出力線とし、前記第1信号線をグローバルワード線とし、前記第2信号線をデータ入出力線としたことを特徴とする請求項1ないし7に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、特にメモリアルレイの信頼性を向上した半導体記憶装置に関する

【0002】

【従来の技術】近年、オフィスオートメーション機器等において、高速かつ大容量のSRAM（スタティックランダムアクセスメモリ）が用いられるようになり、SRAMの高速化および大容量化が要望されている。この目的のため、これまでにT字型のビット線構成を持つ半導体記憶装置が提案されている（例えば、特許公開公報、特開平4-228188号公報；特開平7-183396号公報；通信学会研究会資料（CAS91-58、SDM91-63、ICD91-67）；Toru Shiomi, Tomohisa Wada et al., "A 5.8ns 256KB CMOS TTL SRAM with T-Shaped Bit Line Architecture" J. Solid State Circuits, December 1993など）。T字型のビット線構成では、ビット線は交差して配置された第1メタル層と第2メタル層を接続して構成されており、ワード線と第2メタル層のビット線は平行に配置されている。この結果、カラムピッチはこのようなT字型ビット線構成により、1ブロックのカラム数とロウ数の比で緩和され、カラムピッチを広げることができ高集積化に適している。

【0003】図12は、このような従来のT字型ビット線構成の半導体記憶装置のメモリアルレイおよびその

周辺回路の構成を示すブロック図である。図において、この半導体記憶装置は、ビット線周辺回路101～103、行デコーダ104、メモリアルセルMS、ビット線BL1～BLn、/BL1～/BLn、ワード線WL1～WLm、ビット線信号入出力線L1～Ln、/L1～/Lnを含む。

【0004】ワード線WL1～WLmは、複数のビット線BL1～BLn、/BL1～/BLnと交差して設けられている。各ビット線は、隣接するもの同士がビット線対を構成している。記号“/”は相補の信号線を示す。例えば、ビット線BL1と/BL1とで1組のビット線対を構成している。これらビット線対とワード線対の各交差点には、スタティックメモリアルセルMCがそれぞれ配置され、メモリアルレイを構成している。

【0005】各ワード線WL1～WLmは、行デコーダ104の出力信号を受ける。行デコーダ104は、アドレスバッファ（図示省略）を介して与えられる行アドレス信号をデコードして、ワード線WL1～WLmのうちの1本を選択する。各ビット線BL1～BLn、/BL1～/BLnの一端には、ビット線周辺回路101が設けられている。また、その他端にはビット線周辺回路102が設けられている。

【0006】さらに、ビット線BL1～BLn、/BL1～/BLnと交差してビット線信号入出力線L1～Ln、/L1～/Lnが設けられている。ビット線信号入出力線L1～Ln、/L1～/Lnは、それぞれ対応するビット線BL1～BLn、/BL1～/BLnと接続されており、それぞれ対応するビット線に所定の信号を入力し、または対応するビット線から得られる信号をメモリアルレイの外部へ出力する。メモリアルレイの外部へ引き出されたビット線信号入出力線L1～Ln、/L1～/Lnの各右端には、ビット線周辺回路103が接続されている。

【0007】上記のように、T字型ビット線構成を有する従来の半導体記憶装置では、ビット線信号入出力線L1～Ln、/BL1～/BLnを設けることにより、新たにビット線周辺回路103を配置することができ、ビット線周辺回路をより広い面積に分散して配置することができる。この結果、ビット線ピッチを広げることなく大規模なビット線周辺回路をレイアウトすることが可能になる。また、一定の面積のビット線周辺回路を設ける場合には、メモリアルレイを高密度化することができる。高密度な半導体記憶装置を実現することができる。

【0008】図13は、本発明の先行発明の半導体記憶装置のメモリアルレイおよびその周辺回路の構成を示す図であり、また図14は、そのメモリアルレイの4行4列領域上の信号配線および電源配線の詳細を示したものである。

【0009】図13において、半導体記憶装置は、ワード線WL、ビット線BL、/BL、メモリアルセルMC、ビ

ット線信号入出力線L、／L、トランスファークゲート部12a、12b、ローカルロウデコード14a、14b、ビット線プリチャージ回路16a～16d、シフトリダンダンシー回路17a、17b、センスアンプおよび書込回路15を含む。

【0010】ビット線プリチャージ回路16aは、NMOSトランジスタQ1～Q8、PMOSトランジスタQ9、Q10を含む。他のビット線プリチャージ回路16b～16dも同様の構成を有している。ビット線プリチャージ回路16a～16dは、所定のビット線を電源電位Vddにプリチャージする。

【0011】シフトリダンダンシー回路17aは、抵抗R1、R2、NMOSトランジスタQ21～Q24、PMOSトランジスタQ25～Q28、ヒューズ素子F1、F2を含む。シフトリダンダンシー回路17bもシフトリダンダンシー回路17aと同様の構成を有する。シフトリダンダンシー回路17aは、ヒューズ素子F1またはF2を切断することにより、ビット線信号入出力線L、／Lとトランスファークゲート部12aとの接続を切換え不良メモリを救済する。

【0012】トランスファークゲート部12aは、NMOSトランジスタQ31、Q32、PMOSトランジスタQ33、Q34を含む。トランスファークゲート部12bもトランスファークゲート部12aと同様の構成である。トランスファークゲート部12aは、シフトリダンダンシー回路17aから出力されるデータ信号をデータ入出力線IO、／IOを介してセンスアンプおよび書込回路15へ出力する。

【0013】上記のように、ビット線信号入出力線L、／Lは、シフトリダンダンシー回路17aおよびトランスファークゲート部12aを介してデータ入出力線IO、／IOと接続される。つまり、ビット線信号入出力線Lと隣接してデータ入出力線IOを配置し、ビット線信号入出力線／Lと隣接してデータ入出力線／IOを配置することにより、隣接するビット線信号入出力線とデータ入出力線とを短距離で接続することができ、各配線の接続が容易となる。

【0014】図14は、図13の半導体記憶装置における4行4列のメモリセルアレイ上の配線を示す図である。この図に基づいて、上記のビット線およびビット線信号入出力線について、さらに詳細に説明する。

【0015】図14の配線パターン図において、1ビット分のメモリセルMCが4行4列に16個配置されている。ビット線BL1、／BL1；・・・；BL4、／BL4はメモリセルアレイ上に第1メタル層を用いて形成されている。ビット線信号入出力線L、／Lは、ビット線BL1、／BL1；・・・；BL4、／BL4と直交して第2メタル層を用いて形成されている。また、第2メタル層では、シールド配線Vdd、データ入出力線IO、／IO、グローバルワード線GWLが、ビット線信

号入出力線L、／Lと平行に配置されている。ビット線BL1、／BL1；・・・；BL4、／BL4と対応するビット線信号入出力線L、／Lは、スルーホールTH1、TH2を介して接続されている。例えば、図14では、ビット線BL3とビット線信号入出力線LとがスルーホールTH1を介して接続され、ビット線／BL3とビット線信号入出力線／LとがスルーホールTH2を介して接続される。

【0016】グローバルワード線GWLには大振幅の信号が流れ、ビット線信号入出力線L、／Lおよびデータ入出力線IO、／IOには小振幅の信号が流れる。従って、小振幅の信号が大振幅の信号からカップリングノイズを受けることによる誤動作を防止するため、低インピーダンスのシールド配線Vddが挿入されている。

【0017】この図14の配線パターンにおいては、グローバルワード線GWLの両側のシールド配線Vddは、図13に示すビット線プリチャージ回路16a～16dおよびデータ入出力線のプリチャージ回路(16)の基準電位(例えば、電源電位またはグランド電位)と同じ電位を有するシールド線Vddとされる。そして、図13の半導体記憶装置では、ビット線BL1、／BL1；・・・；BL4、／BL4は電源電位へプリチャージされ、ビット線信号入出力線L、／Lも同様に電源電位へプリチャージされる。また、データ入出力線IO、／IOも電源電位にプリチャージされているので、シールド線Vddの電位は電源電位に設定されている。したがって、シールド線Vddと各信号線L、／L、IO、／IOとの間にショート欠陥が生じても、プリチャージ状態中に多量の電流が流れることを防ぐことができる。

【0018】また、図13に示す配線パターンでは、メモリセルの選択に関するグローバルワード線GWLのような、信号線に隣接するシールド線Vddの電位が、上記のようにメモリセルの非選択の状態である“H”(電源電位)に設定されているので、シールド線Vddとグローバルワード線GWLとの間にショート欠陥が生じても、メモリセルを非選択の状態に保つことが可能となる。従って、メモリセルを多重選択することがない。

【0019】このように、4本のVdd配線は電源配線であり、信号間のカップリングノイズ(容量結合による影響)を減少させるシールド配線として使用されている。このうち、最上側と最下側にあるVdd配線はその上側ならびにその下側のメモリセルアレイのためのVddシールド配線と兼用されるので、実際には4行4列領域には3本のシールド配線Vdd、1本のビットL配線、1本のビット／L配線、1本のデータ入出力IO配線、1本のデータ入出力／IO配線、1本のグローバルワードGWL配線があり、計8本の横向きの配線がある。4行分に対して8本の配線があるので、平均すると1行あたり2本の配線が必要となる。

## 【0020】

【発明が解決しようとする課題】上記のように先行発明の半導体記憶装置のメモリアレイにおいては、メモリアレイの4行分に対して8本の配線があるので、平均すると1行あたり2本の配線が必要であり、微細化の進展に伴って、配線の断線、ショートが発生などを抑え、かつ配線加工装置のコスト上昇を抑えることが重要な課題になっている。この発明は、上記のような課題を解決するためになされたもので、高集積化に伴う配線の断線、ショートなどの低減を図った半導体記憶装置を提供しようとするものである。

## 【0021】

【課題を解決するための手段】この発明の半導体記憶装置は、複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して配置され、それぞれが対応する前記第1ビット線と接続され、一端がこの接続部で終端した第2ビット線とを備え、前記第2ビット線に隣接する他の配線は、前記第2ビット線が延在しない領域において前記第2ビット線の延長線

の方向へ屈曲して偏在することを特徴とするものである。

【0022】この発明の他の発明にかかる半導体記憶装置は、複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して配置され、それぞれが対応する前記第1ビット線と接続され、一端がこの接続部で終端した第2ビット線と、前記第1ビット線と交差するとともに前記第2ビット線に隣接して前記メモリアレイ上に配置された第2信号線と、前記第1ビット線と交差して前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差するとともに、前記第1信号線と前記第2信号線との間で前記第1信号線に隣接して前記メモリアレイ上に配置されたシールド線とを備え、少なくとも前記第2信号線は、前記第2ビット線が延在しない領域において前記第2ビット線の延長線の方向へ屈曲するように偏在することを特徴とするものである。

【0023】この発明の他の発明にかかる半導体記憶装置は、複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して配置され、それぞれが対応する前記第1ビット線と接続され、第2ビット線を含む半導体記憶装置において、前記第1ビット線と交差して前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差するとともに前記第1信号線を挟んでこの第1の信号線に隣接して前記

メモリアレイ上に配置され相補信号を伝達する一対の第2信号線とを備えたことを特徴とするものである。

【0024】この発明の他の発明にかかる半導体記憶装置は、複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して前記メモリアレイ上に配置され、それぞれが対応する前記第1ビット線と接続された第2ビット線と、前記第1ビット線と交差するように前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差するように前記メモリアレイ上に配置され前記第2ビット線の長さより長い第2信号線を含む半導体記憶装置において、前記第2ビット線が前記第1信号線と前記第2信号線との間に配置されることを特徴とするものである。

【0025】この発明の他の発明にかかる半導体記憶装置は、複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差して前記メモリアレイ上に配置された第2信号線と、前記第1ビット線と交差し、それぞれが対応する前記第1ビット線と接続され、前記メモリアレイ上で前記第1信号線と第2信号線との間に配置され、一端がこの接続部で終端する第2ビット線と、前記第2ビット線が延在しない領域においてこの第2ビット線の延長線上に配置されたシールド線を備えたことを特徴とするものである。

【0026】この発明の他の発明にかかる半導体記憶装置は、複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差して前記メモリアレイ上に配置された第2信号線と、前記第1ビット線と交差し、それぞれが対応する前記第1ビット線と接続され、前記メモリアレイ上で前記第1信号線と第2信号線との間に配置され、一端がこの接続部で終端する第2ビット線と、前記第2ビット線が延在しない領域においてこの第2ビット線の延長線上に配置されたシールド線を備えたことを特徴とするものである。

【0027】この発明の他の発明にかかる半導体記憶装置は、複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差し、それぞれが対応する前記第1ビット線と

接続され、一端がこの接続部で終端し、前記メモリアレイ上で前記第1信号線に隣接して配置された第2ビット線と前記第2ビット線が延在しない領域においてこの第2ビット線の延長線上に配置されたシールド線と、前記第1ビット線と交差し、前記第2ビット線および前記シールド線と隣接して前記メモリアレイ上に配置された第2信号線とを備えたことを特徴とするものである。

【0028】この発明の他の発明にかかる半導体記憶装置は、複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して前記メモリアレイ上に配置され、それぞれが対応する前記第1ビット線と接続された第2ビット線と、前記第1ビット線と交差して前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差して前記メモリアレイ上に配置され前記第2ビット線より長い第2信号線と、前記複数の第1ビット線に所定の電位を供給するためのビット線負荷回路と、前記第2信号線に所定の電位を供給するための信号線負荷回路と、前記第2ビット線と前記第2信号線との間を導通または非導通にするトランスファークロウとを備え、前記トランスファークロウの導通時に、前記ビット線負荷回路の充電能力を低下させ、前記信号線負荷回路により、選択されていない前記第1ビット線の電位を所定の電位に保つようにしたことを特徴とするものである。

【0029】またこの発明の他の発明にかかる半導体記憶装置は、複数のワード線と、前記ワード線と交差して配置された複数の第1ビット線と、前記ワード線と前記第1ビット線との交点に配置された複数のメモリセルを含むメモリアレイと、前記第1ビット線と交差して前記メモリアレイ上に配置され、それぞれが対応する前記第1ビット線と接続された第2ビット線と、前記第1ビット線と交差して前記メモリアレイ上に配置された第1信号線と、前記第1ビット線と交差して前記メモリアレイ上に配置され前記第2ビット線より長い第2信号線と、前記各第1ビット線対と電源電位との間を導通制御するビット線負荷回路と、前記第2ビット線対と前記第2ビット線対に対応する前記第2信号線対との間を導通制御するトランスファークロウと、前記第2信号線対と電源電位との間を導通制御する信号線負荷回路とを備え、ブロック選択信号に応じて選択されるメモリアレイブロックにおいて前記ビット線負荷回路を非導通にするとともに前記トランスファークロウを導通させ、前記第2信号線対の前記信号線負荷回路を制御して選択された前記第1ビット線対に信号を入出力させるとともに、選択されない前記第1ビット線対を充電するようにしたことを特徴とするものである。

【0030】またこの発明の他の発明にかかる半導体記憶装置は、上記それぞれの発明において、第1ビット線

をビット線とし、第2ビット線をビット線信号入出力線とし、第1信号線をグローバルワード線とし、第2信号線をデータ入出力線としたことを特徴とするものである。

【0031】

【発明の実施の形態】

実施の形態1. 以下、この発明の実施の形態1を図について説明する。図1は、本発明の半導体記憶装置の構成を示す図、図2は図1の半導体記憶装置のメモリブロックの構成を示す図、図3は、図1および図2に示す半導体記憶装置の4行4列分のメモリセルアレイの配線を示す図である。

【0032】図1の半導体記憶装置の構成図において、この半導体記憶装置は、8つのメモリブロック1を含む。メモリブロック1は、512Kbitの容量を持ち、8個が並列に配置され、全体として4Mbitの容量を持つ。

【0033】次に、図2のメモリブロック構成図において、メモリブロックは、グローバルデコーダ11、小ブロックSB0～SB31、センスアンプおよび書込回路15を含む。32個の小ブロックSB0～SB31は、それぞれトランスファークロウ部12、メモリセルアレイ13、ローカルロウデコーダ14を含む。これらの小ブロックSB0～SB31は、256×8ロウ、62+2カラムで構成され、16kbitの容量を持つ。

【0034】メモリセルアレイ13は、複数のメモリセルMC、複数のワード線WL、複数の第1ビット線としてのビット線BL、 $\overline{BL}$ 、複数の第2ビット線としてのビット線信号入出力線L、 $\overline{L}$ を含む。ビット線BL、 $\overline{BL}$ とワード線WLは、交差配列され、各交差点にメモリセルMCが配置される。また、ビット線BL、 $\overline{BL}$ に交差して、これと接続されるビット線信号入出力線L、 $\overline{L}$ が配置される。この実施の形態1では、1つの小ブロックSB0～SB31は、256ロウ、64カラムで構成されているので、ビット線信号入出力線L、 $\overline{L}$ は、ビット線BL、 $\overline{BL}$ に、256/54=4ロウおきに接続される。この間隔は、ロウおよびカラムの数により任意に設定することができる。

【0035】また、各小ブロックSB0～SB31には、第1信号線としてのグローバルワード線GWLおよび第2信号線としてのデータ入出力線IO、 $\overline{IO}$ が配置され、グローバルワード線GWLはグローバルデコーダ11と接続され、データ入出力線IO、 $\overline{IO}$ は、センスアンプおよび書込回路15と接続される。

【0036】次に、図3は4行4列分のメモリセルアレイの配線を示す図である。図において、メモリセルアレイは、メモリセルMC、第1ビット線としてのビット線BL1、 $\overline{BL1}$ 、 $\dots$ 、BL4、 $\overline{BL4}$ 、第2ビット線としてのビット線信号入出力線L、 $\overline{L}$ 、第1信号線としてのグローバルワード線GWL、第2信号線と



してのデータ入出力線IO、/IOおよび接地線Vddを含む。図2と同一符号は同一部分を示す。

【0037】このメモリセルアレイの配線パターン図において、複数のメモリセルMCは、4行4列に配置され、各メモリセルMCに対して1対のビット線BL1、/BL1、・・・、BL4、/BL4が、第1メタル層により形成される。ビット線信号入出力線L、/L、データ入出力線IO、/IO、グローバルワード線GWLが、それぞれビット線BL1～/BL4と交差して第2メタル層により形成される。ただし、ビット線信号入出力線L、/Lは、それぞれスルーホールTH1、TH2のところで終端している。そして、ビット線信号入出力線Lは、スルーホールTH1を介してビット線BL3と接続され、ビット線信号入出力線/Lは、スルーホールTH2を介してビット線/L3と接続される。なお、第1メタル層と第2メタル層とは上下関係はなく、ただ異なる配線層を意味する。また、図2で示されているワード線WLは、複雑さを避けるため図3では表わされていないが、図3の各線とは異なる層で、ビット線BL1～/BL4と直交して各メモリセルMCについて配置されている。また、グローバルワード線GWLおよびデータ入出力線IO、/IOは、二つ以上のメモリアレイブロックを貫通して配置される。

【0038】図3に示すように、ビット線信号入出力線Lならびに/Lは、アレイの内部、すなわちビット線BL、/BLとの結合部からアレイの端部までの配線であるので、ビット線信号入出力線L、/Lが延在しない部分で、他の配線、すなわちデータ入出力線IO、/IOを、図3で示すように、ビット線信号入出力線L、/Lの延長線上の方向に屈曲させて、隣り合う配線との間の配線ピッチを緩めることが可能である。このとき、図3に示すように、シールド線Vddも、同様にビット線信号入出力線L、/Lの延長線上の方向に少し屈曲させている。このように配線することにより、ビット線信号入出力線L、/Lが延在しない部分で、データ入出力線IO、/IOあるいはまたシールド線Vddの線幅を大きくとることができる。

【0039】以上のように構成することで、各アレイブロックの約50%の面積部分で配線の幅および間隔を増大させることが可能であり、ゴミなどによる配線の断線、ショートの高度の低減が可能である。

【0040】実施の形態2. 以下、この発明の実施の形態2を図について説明する。図4は、この発明の半導体記憶装置の実施の形態2を示すもので、図1、図2に示す半導体記憶装置の4行4列分のメモリセルアレイの配線を示す図である。

【0041】このメモリセルアレイは、メモリセルMC、第1ビット線としてのビット線BL1、/BL1、・・・、BL4、/BL4、第2ビット線としてのビット線信号入出力線L、/L、第1信号線としてのグロー

バルワード線GWLおよび第2信号線としてのデータ入出力線IO、/IOを含む。なお、図2と同一の符号は同一または対応部分を示す。

【0042】図4のメモリセルアレイにおいて、複数のメモリセルMCは、4行4列に配置され、各メモリセルMCに対して1対のビット線BL1、/BL1、・・・、BL4、/BL4が、第1メタル層により形成される。ビット線信号入出力線L、/L、データ入出力線IO、/IO、グローバルワード線GWLが、それぞれビット線BL1、/BL1、・・・、BL4、/BL4と交差して第2メタル層により形成される。ここで、第1メタル層と第2メタル層とは上下関係はなく、ただ異なる配線層を意味する。そして、ビット線信号入出力線Lは、スルーホールTH1を介してビット線BL3と接続され、ビット線信号入出力線/Lは、スルーホールTH2を介してビット線/L3と接続される。図2で示されているワード線WLは、複雑さを避けるため図3では表わされていないが、図3の各線とは異なる層で、ビット線BL1～/BL4と直交して各メモリセルMCについて配置されている。また、グローバルワード線GWLおよびデータ入出力線IO、/IOは、二つ以上のメモリアレイブロックを貫通して配置される。

【0043】図4に示すメモリセルアレイの配線パターンは、図14の先行発明における配線パターン図と異なり、先行発明では存在したグローバルワード線GWLの両側にあったシールド配線Vddを取り除いている。ただし、グローバルワード線GWLの両側の配線は、データ入出力線IOと/IO線であり、相補信号となっている。この実施の形態2では、グローバルワード線GWLは、VddレベルからGNDレベルまで振幅する信号であり、隣接するデータ入出力線のIO信号および/IO信号との間に容量結合があり、グローバルワード線GWLの電位変化はその容量結合を通じて、IO信号および/IO信号に伝わる。

【0044】しかし、本構成のように、グローバルワード線GWLの両側を、相補信号の信号線にすることで、その容量結合による電位変化は、データ入出力線のIO信号および/IO信号に対して同じ電位となる。データ入出力線のIO信号および/IO信号は相補信号であり、グローバルワード線GWLからのノイズ等は、IOおよび/IO信号の電位差を増幅する差動増幅器で相殺、消去され、差動増幅器の動作に影響を与えないので、正常な動作をさせることができる。グローバルワード線GWLの容量結合によるノイズはいわゆるコモンモードノイズである。

【0045】以上のように構成することにより、メモリセルアレイの4行4列の領域について、先行発明ではビット線に直交する方向の配線が8本必要であったところを、6本に減らすことが可能になり、配線の幅および間隔を増大させることが可能となる。これにより、配線加

工装置の低コスト化、ゴミなどによる配線の断線、ショートの頻度の低減が実現できる。また、配線の幅、間隔を変えないならば、高集積化を図ることができる。

【0046】実施の形態3. 以下この発明の実施の形態3を図について説明する。図5は、この発明の半導体記憶装置の実施の形態3を示すもので、図1、図2に示す半導体記憶装置の4行4列分のメモリセルアレイの配線を示す図である。このメモリセルアレイは、メモリセルMC、第1ビット線としてのビット線BL1、/BL1、・・・、BL4、/BL4、第2ビット線としてのビット線信号入出力線L、/L、第1信号線としてのグローバルワード線GWLおよび第2信号線としてのデータ入出力線IO、/IOを含む。なお、図2と同一符号は同一または対応部分を示す。

【0047】図5のメモリセルアレイの構成図においては、グローバルワード線GWLに隣接して、ビット線信号入出力線L、/Lが配置され、次のその隣にデータ入出力線IO、/IOが配置されている。図2に見るように、ビット線信号入出力線L、/Lは、小ブロック内で閉じており、長さが短い。これに対して、データ入出力線IO、/IOは小ブロックを越えて延長されており、長さが長い。図5の実施の形態3は、このように長さが短いビット線信号入出力線L、/L配線を、信号振幅の大きいグローバルワード線GWLに隣接して配置し、長さが長いデータ入出力線IO、/IOのシールド配線として用いようとするものである。

【0048】このように構成する理由を、今少し、図2に示した半導体装置のブロック構成図との関連において説明する。いま、図2のブロック構成図において、1つの小ブロックSB0が選択される場合、メモリセルMCの信号は、ビット線信号入出力線L、/Lを介して伝えられ、次にトランスファークロスタック12を介してデータ入出力線IO、/IOに伝わる。これが、センスアンプ15で増幅され、DQバッファ（ここでは図示せず）に伝わり、チップの外部に信号を伝える。このとき、他の小ブロックSB1などのビット線信号入出力線のL、/Lの信号は上記読みだし動作に関係しない。

【0049】この時、選択ブロックSB0では、ビット線信号入出力線Lと/Lにグローバルワード線GWLからのカップリングノイズの影響が出るが、多ブロック構成の場合はその影響はブロックの数で割った大きさ（1/ブロック数）となり小さくなる。この時、非選択ブロックSB1などでは、ビット線信号入出力線のLおよび/L信号は、ビット線BL、/BLの両端についたビット線負荷回路（ここでは図示せず）によりある定電位に充電されており、グローバルワード線GWLとデータ入出力線IOもしくは/IO間のシールド線の役目を果たすので、データ入出力線IOおよび/IOへのカップリングノイズを低減する。なお、この実施の形態3でも、グローバルワード線GWLの両側に、相補信号を伝達す

るビット線信号入出力線Lおよび/Lを配置しているので、実施の形態2の場合と同様にその影響が相殺される効果も同時に期待できる。

【0050】実施の形態4. 以下、この発明の実施の形態4を図について説明する。図6は、この発明の半導体記憶装置の実施の形態4を示すもので、図1、図2に示す半導体記憶装置の4行4列分のメモリセルアレイの配線を示す図である。このメモリセルアレイは、メモリセルMC、第1ビット線としてのビット線BL1、/BL1、・・・、BL4、/BL4、第2ビット線としてのビット線信号入出力線L、/L、第1信号線としてのグローバルワード線GWLおよび第2信号線としてのデータ入出力線IO、/IOおよびシールド線Vddを含む。図2と同一符号は同一または対応部分を示す。

【0051】図6のメモリセルアレイの構成図においては、グローバルワード線GWLに隣接して、ビット線信号入出力線L、/Lが配置され、次のその隣にデータ入出力線IO、/IOが配置されている。さらにこの実施の形態4では、ビット線信号入出力線Lならびに/Lは、それぞれビット線BL、/BLと直交する点で、スルーホールTH1、TH2を介して接続されるとともに、そこで終端している。そして、ビット線信号入出力線Lならびに/Lが延在しない延長線上の部分には、シールド線Vddが配置されている。図2に見るように、ビット線信号入出力線L、/Lは、小ブロック内で閉じており、かつ殆どが必ずしも小ブロックの全長に延長が必要ではない。この延長不要な部分に新たにシールド線Vddを設ける。

【0052】図5の実施の形態4は、実施の形態3のように、長さが短いビット線信号入出力線L、/L配線を、信号振幅の大きいグローバルワード線GWLに隣接して配置し、長さが長いデータ入出力線IO、/IOのシールド配線として用いるとともに、加えてビット線信号入出力線L、/Lの延長線上であってこのビット線信号入出力線L、/Lが存在しない領域にシールド配線Vddを配置し、データ入出力線IO、/IOに関してグローバルワード線GWLに対するシールド効果を増加させようとするものである。

【0053】以上のように、構成することで、アレイ面積の約50%の部分でグローバルワード線GWLとデータ入出力線IOもしくは/IO線間にシールド配線Vddをおきながら、図14の先行発明の配線パターンに比べて配線の幅および間隔を増大させることが可能である。また、これにより、配線加工装置の低コスト化、ゴミなどによる配線の断線、ショートの高頻度の低減が可能となる。

【0054】実施の形態5. 以下、この発明の実施の形態5を図について説明する。図7は、この発明の半導体記憶装置のメモリブロック並びにセンスアンプおよび書込回路を示す図である。図において、この半導体記憶装

置は、2個のメモリアレイブロック $B_i$ 、 $B_j$ 、第2信号線としてのデータ入出力線 $IO_a$ 、 $/IO_a$ 、 $\dots$ 、 $IO_b$ 、 $/IO_b$ 、センスアンプおよび書込回路15、DQバッファ17および信号線負荷回路19を含む。また、メモリアレイのブロック $B_i$ は、メモリセルMC、ワード線WL、第1ビット線としてのビット線 $BL_{ai}$ 、 $/BL_{ai}$ 、 $\dots$ 、 $BL_{bi}$ 、 $/BL_{bi}$ 、第2ビット線としてのビット線信号入出力線 $La_i$ 、 $/La_i$ 、 $\dots$ 、 $Lb_i$ 、 $/Lb_i$ 、および第2信号線としてのデータ入出力線 $IO_a$ 、 $/IO_a$ 、 $\dots$ 、 $IO_b$ 、 $/IO_b$ を含む。さらに、トランスファークラップ12、ローカル・ロー・デコーダ14、ビット線負荷回路18を含む。なお、図2などで示す第1信号線としてのグローバルワード線GWLは、図の複雑さを避けるためここでは図示していないが、ビット線 $BL_{ai}$ 、 $/BL_{ai}$ 、 $\dots$ 、 $BL_{bi}$ 、 $/BL_{bi}$ と直交して、メモリセルMCの4行毎に配置されている。また、メモリアレイのブロック $B_j$ も同様の構成になっている。また、この実施の形態5の中のメモリアレイの構成としては、前述の実施の形態1ないし4の半導体装置などが適用される。

【0055】次に、図8は、図7の中のセンスアンプおよび書込回路15の詳細を示した図である。書き込み回路部分15aは、NMOSによるドライバで構成されている。センスアンプ部分15bは、ECL型の作動アンプ15b1、バイポーラTrを用いたレベルシフト回路15b2、そしてMOSFETからなるカレントミラー負荷をもつ作動増幅回路15b3で構成されている。

【0056】図9は、図7の半導体記憶装置の読みだし動作のタイミング波形図である。読みだし動作を図9のタイミング図を用いて説明する。この図では、読みだし動作なので、図8のセンスアンプおよび書込回路15に入るライトイネーブル信号 $/WE$ 信号が、ハイ(High)レベルで固定されている。したがって、それに対応して、選択カラム、例えばビット線 $BL_{ai}$ 、 $/BL_{ai}$ のカラムでは、図8の書き込みドライバ15aは非活性化状態、センスアンプ15bは活性化状態となっている。

【0057】図9を参照すると、時刻 $t_1$ で $i$ ブロックのブロック選択信号 $BS_i$ がハイ(High)となり、ブロック $B_i$ が選択される。これを受けて、ブロック選択信号 $/BS_i$ はロウ(Low)となる。そしてブロック $B_i$ のローカル・ロー・デコーダ14が選択され、そのデコーダ14は、1本のワード線WLを図9のように選択する。この時、ブロック $B_i$ のビット線信号入出力線 $La_i$ 、 $/La_i$ とデータ入出力線 $IO_a$ 、 $/IO_a$ 間のトランスファークラップ12aは導通状態となり、同様に、ビット線信号入出力線 $Lb_i$ 、 $/Lb_i$ とデータ入出力線 $IO_b$ 、 $/IO_b$ 間のトランスファークラップ12bも導通状態となる。

【0058】また、ビット線 $BL_{ai}$ 、 $/BL_{ai}$ および $BL_{bi}$ 、 $/BL_{bi}$ の両端にあるビット線負荷回路18a、18bはオフ(Off)状態となる。したがって、選択ブロック $B_i$ のすべてのビット線 $BL_{ai}$ 、 $/BL_{ai}$ および $BL_{bi}$ 、 $/BL_{bi}$ は、ビット線負荷18から切り離されて、それぞれ対応するデータ入出力線 $IO_a$ 、 $/IO_a$ もしくは $IO_b$ 、 $/IO_b$ に接続される。

【0059】この時、読みだし動作を行う選択列( $BL_{ai}$ 、 $/BL_{ai}$ )のデータ入出力信号線 $IO_a$ 、 $/IO_a$ の信号線負荷19aにおいては、入出力データ線活性化信号IOLE信号(IOLEa)をロウ(Low)にして信号線負荷19aをオフ状態にする。しかしながら、読みだし動作を行わない非選択列( $BL_{bi}$ 、 $/BL_{bi}$ )のデータ入出力線 $IO_b$ 、 $/IO_b$ 線の信号線負荷19bは、入出力データ線活性化信号IOLE信号(IOLEb)をハイに保ち、非選択データ入出力線 $IO_b$ 、 $/IO_b$ そして非選択ビット線 $BL_{bi}$ 、 $/BL_{bi}$ をプリチャージ状態に保つ。

【0060】一方、選択列( $BL_{ai}$ 、 $/BL_{ai}$ )では、ビット線 $BL_{ai}$ 、 $/BL_{ai}$ 、データ入出力線 $IO_a$ 、 $/IO_a$ は、ビット線負荷回路18、信号線負荷19ともオフ(Off)状態であり、メモリセルMCからの信号が最高スピードでセンスアンプ15まで伝わる事が可能である。そして、センスアンプ15で差動増幅をおこない、チップ外部に読みだしデータを伝えることができる。

【0061】次に、時刻 $t_2$ において、ブロック $B_i$ を非選択状態にする。このときブロック $B_i$ のトランスファークラップ12a、12bはオフし、ビット線負荷18a、18bはオンとなる。したがって、ビット線 $BL_{ai}$ 、 $/BL_{ai}$ 、 $BL_{bi}$ 、 $/BL_{bi}$ は、ビット線負荷18a、18bで充電される。このとき、ビット線負荷18a、18bは読みだし時にオフであるので、ビット線負荷18a、18bのサイズを大きくしても読みだし速度に対する影響はないので、ビット線負荷トランジスタのサイズ(チャネル幅)を十分大きくとることで、ビット線のプリチャージ時間(充電時間)を小さくとることができるので、次のアクセス開始時間を早める事が可能である。

【0062】また、この時、非選択列( $BL_{bi}$ 、 $/BL_{bi}$ )は、ビット線電位は保持されているので、充電電流は主に選択カラム( $BL_{ai}$ 、 $/BL_{ai}$ )に流れるので、充電電流のピーク値が減少し、電源配線の信頼性の向上、電流スパイクによるノイズの発生などを防止することができる。

【0063】図10は、図7の半導体記憶装置の書き込み動作のタイミング波形図である。この図を参照して書き込み動作を説明する。図9との大きな違いは、ライトイネーブル信号 $/WE$ 信号が時刻 $t_1$ から $t_2$ の間でロ

ウ (Low) になることである。このロウの期間に、図8の書き込み回路15aがデータ入出力線IOa, /IOa, IOb, /IObを、書き込むデータ (WE, /WE) にしたがってドライブする。

【0064】書き込み時における非選択列 (BLbi, /BLbi) の動作は読みだし時と同じであり、選択列 (BLai, /BLai) のビット線BLai, /BLaiの動作のみ異なる。選択列 (BLai, /BLai) では、ビット線BLa, /BLaiのビット線負荷回路18aおよびデータ入出力線IOa, /IOaの信号線負荷19aともオフ状態であり、書き込みドライバ15aにより所定の電位レベルにドライブされる。両方の負荷18、19がオフなので、書き込みドライバー15aと負荷素子を介して直流的に電流が流れることはなく、書き込み時の消費電流を低減することができる。

【0065】そして、時刻t2で非選択になると、読みだし時と同様にしてビット線BLai, /BLaiならびに入出力データ線IOa, /IOaが充電される。

【0066】以上述べたように、この実施の態様5の半導体記憶装置では、トランスファークゲート12の導通時に、ビット線負荷回路18の充電能力を低下させ、信号線負荷回路19により、選択されていない第1ビット線BLの電位を所定の電位に保つようにしたことを特徴とするものである。また、表現を変えれば、トランスファークゲート12の導通時に、ビット線負荷回路18は非導通となり、導通した信号線負荷回路19は第1ビット線を所定の電位に保つということである。

【0067】従来の半導体記憶装置では、読みだしおよび書き込み時に、ビット線負荷18a、18bをオフすることはしていなかったが、この実施の形態5においては、上述したようにビット線負荷18a、18bを切り離すよう動作させることが特徴である。以上のように構成することで、(ア) 高速な読みだしスピード、(イ) 書き込み時の電流低減、(ウ) 読みだし/書き込み終了後のプリチャージ速度の向上、(エ) プリチャージ時の電流のピーク値の削減などのメリットを実現することができる。

【0068】実施の形態6. 以下この発明の実施の形態6を図について説明する。図11は、この発明の半導体記憶装置のメモリブロック並びにセンスアンプおよび書込回路の他の形態を示す図である。図中の符号は、図7のものと同一または相当部分を示すので、説明は省略する。

【0069】この実施の形態6は、図7のメモリブロック並びにセンスアンプおよび書込回路の変形例であり、図7と異なる点を述べると、ビット線負荷回路18a、18bにNMOSトランジスタが2ヶ追加されている。このNMOSトランジスタは、サイズ (チャネル長) が小さく、ブロック選択信号BSの変化により他の負荷トランジスタがオフした時にも常にオンするものであり、

完全なフローティングにさせないものである。

【0070】もう一つの異なる点は、入出力データ線IOa, /IOa, IOb, /IObの信号線負荷19a、19bであり、入出力データ線IOa, /IOa, IOb/IObの読みだし時のロウ (Low) レベルの電位を制限するものである。この例ではMOSFETトランジスタのしきい値電圧をVthnとして、Vdd (電源電位) - 2Vthnで電位制限を行う。

【0071】以上のような負荷素子の工夫により、読みだし時および書き込み時の選択列のビット線 (BLa, /BLai)、入出力データ線 (IOa, /IOa) の電位を本来の充電レベルに近くすることが可能であり、さらにプリチャージ速度を改善したり、プリチャージ電流のピーク値の削減が可能である。

【0072】以上説明したように、この発明によれば、T字型ビット線構成の半導体記憶装置を改良し、配線加工装置の低コスト化、ゴミなどによる配線の断線、ショートの高頻度の低減を図り、或はまた読みだし/書き込み時の信号線の負荷の接断の制御により、高速な読みだしスピードの実現、書き込み時の電流低減、読みだし/書き込み終了後のプリチャージ速度の向上、プリチャージ時の電流のピーク値の削減などが可能となる。

【図面の簡単な説明】

【図1】 本発明の半導体記憶装置の一の実施の形態の構成を示す図。

【図2】 図1の半導体記憶装置のメモリブロックの構成を示す図。

【図3】 図1および図2に示す半導体記憶装置の4行4列分のメモリセルアレイの配線を示す図。

【図4】 この発明の半導体記憶装置の他の実施の形態における、4行4列分のメモリセルアレイの配線を示す図。

【図5】 この発明の半導体記憶装置のさらに他の実施の形態における、4行4列分のメモリセルアレイの配線を示す図。

【図6】 この発明の半導体記憶装置のさらに他の実施の形態における、4行4列分のメモリセルアレイの配線を示す図。

【図7】 この発明の半導体記憶装置のさらに他の実施の形態における、メモリセルブロック並びにその周辺回路を示す図。

【図8】 図7の実施の形態における、センスアンプおよび書込回路を示す図。

【図9】 この発明の半導体記憶装置の図7の実施の形態における、読みだし動作のタイミング波形図。

【図10】 この発明の半導体記憶装置の図7の実施の形態における、書き込み動作のタイミング波形図。

【図11】 この発明の半導体記憶装置のさらに他の実施の形態における、メモリセルブロック並びにその周辺回路を示す図。

【図12】 従来のT字型ビット線構成の半導体記憶装置の構成を示す図。

【図13】 先行発明におけるメモリセルブロック並びにその周辺回路を示す図。

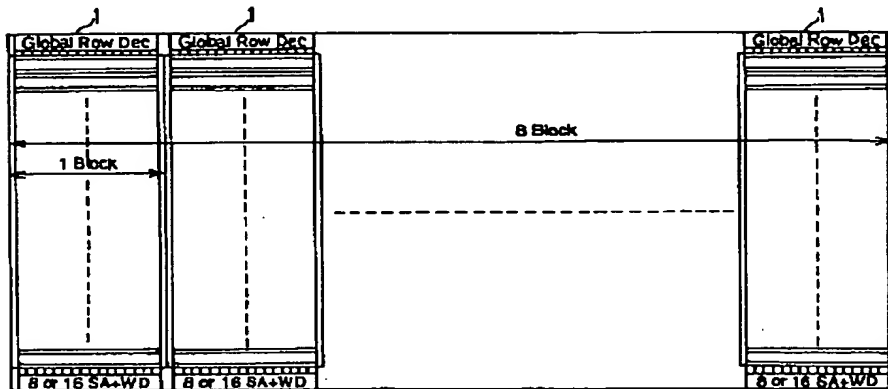
【図14】 先行発明における半導体記憶装置の4行4列分のメモリセルアレイの配線を示す図。

【符号の説明】

MC メモリセル、WL ワード線、BL, /BL; BL1, /BL1~BL4, /BL4; BLai, /BL

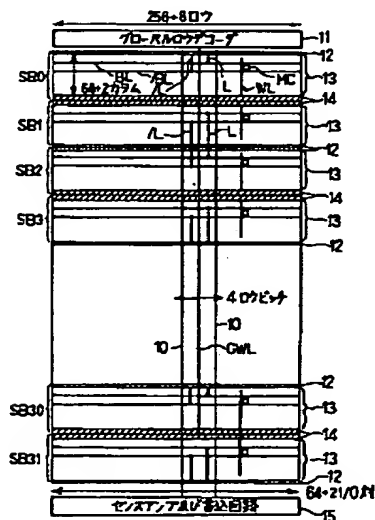
a~BLbi, /BLbi 第1ビット線 (ビット線)、L, /L; L1, /L1~Ln, /Ln 第2ビット線 (ビット線信号入出力線)、GWL 第1信号線 (グローバルワード線)、IO, /IO 第2信号線 (入出力データ線)、Vdd シールド配線、12、12a、12b トランスファゲート、13 メモリセルアレイ、18 ビット線負荷回路、19 信号線負荷回路

【図1】



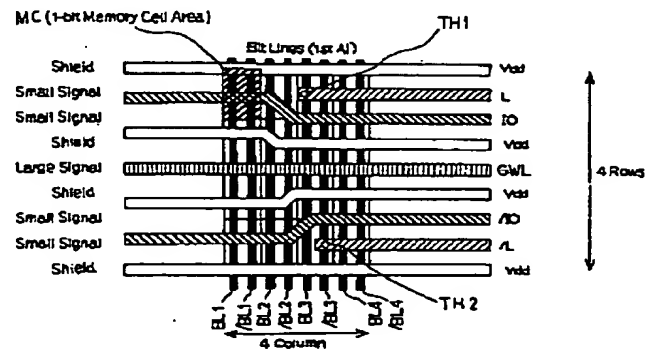
1: メモリアブロック

【図2】



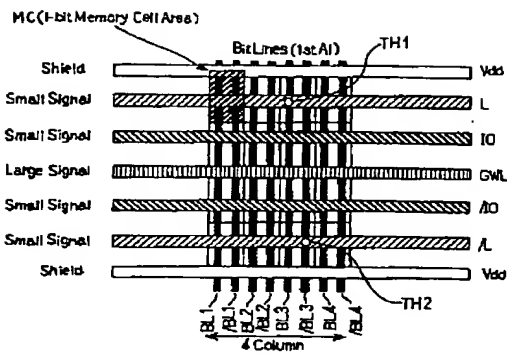
- 11 : グローバルデコーダ  
12 : トランスファゲート  
13 : メモリセル・アレイ  
14 : ローカル・ロウ・デコーダ  
15 : センスタンプおよび周辺回路
- SB0~SB31 : サブブロック  
MC : メモリセル  
WL : ワード線 (ローカルワード線)  
BL, /BL : 第1ビット線 (ビット線)  
L, /L : 第2ビット線 (ビット線信号入出力線)  
GWL : 第1信号線 (グローバルワード線)  
IO, /IO : 第2信号線 (入出力データ線)

【図3】

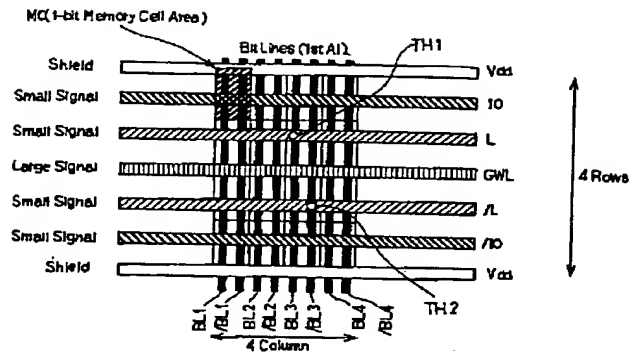


- MC : メモリセル  
WL : ワード線 (ローカルワード線)  
BL1~BL4, /BL1~/BL4 : 第1ビット線 (ビット線)  
L, /L : 第2ビット線 (ビット線信号入出力線)  
GWL : 第1信号線 (グローバルワード線)  
IO, /IO : 第2信号線 (入出力データ線)  
Vdd : シールド配線

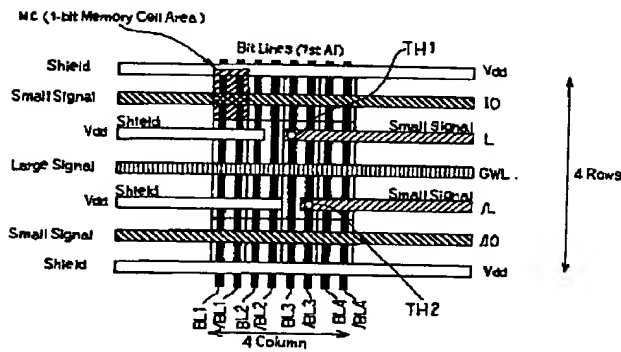
【図 4】



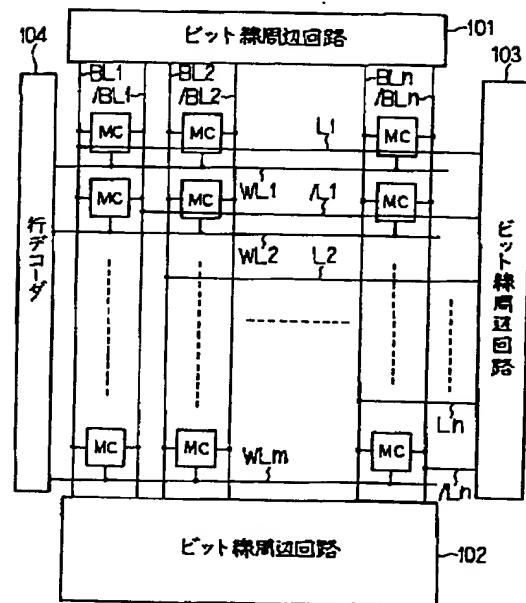
【図 5】



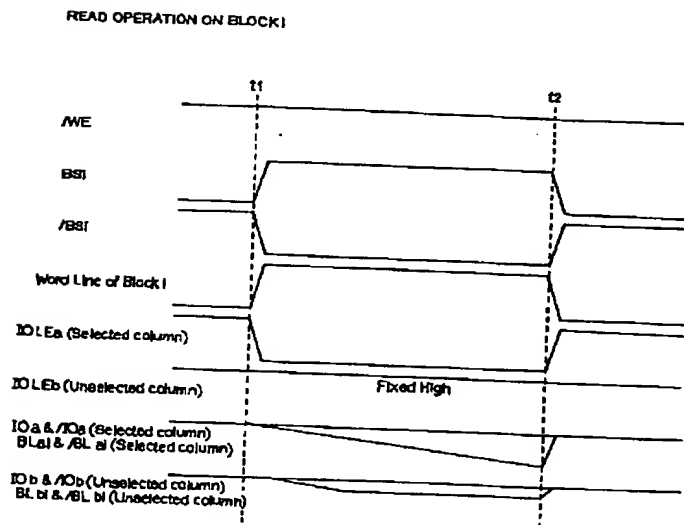
【図 6】



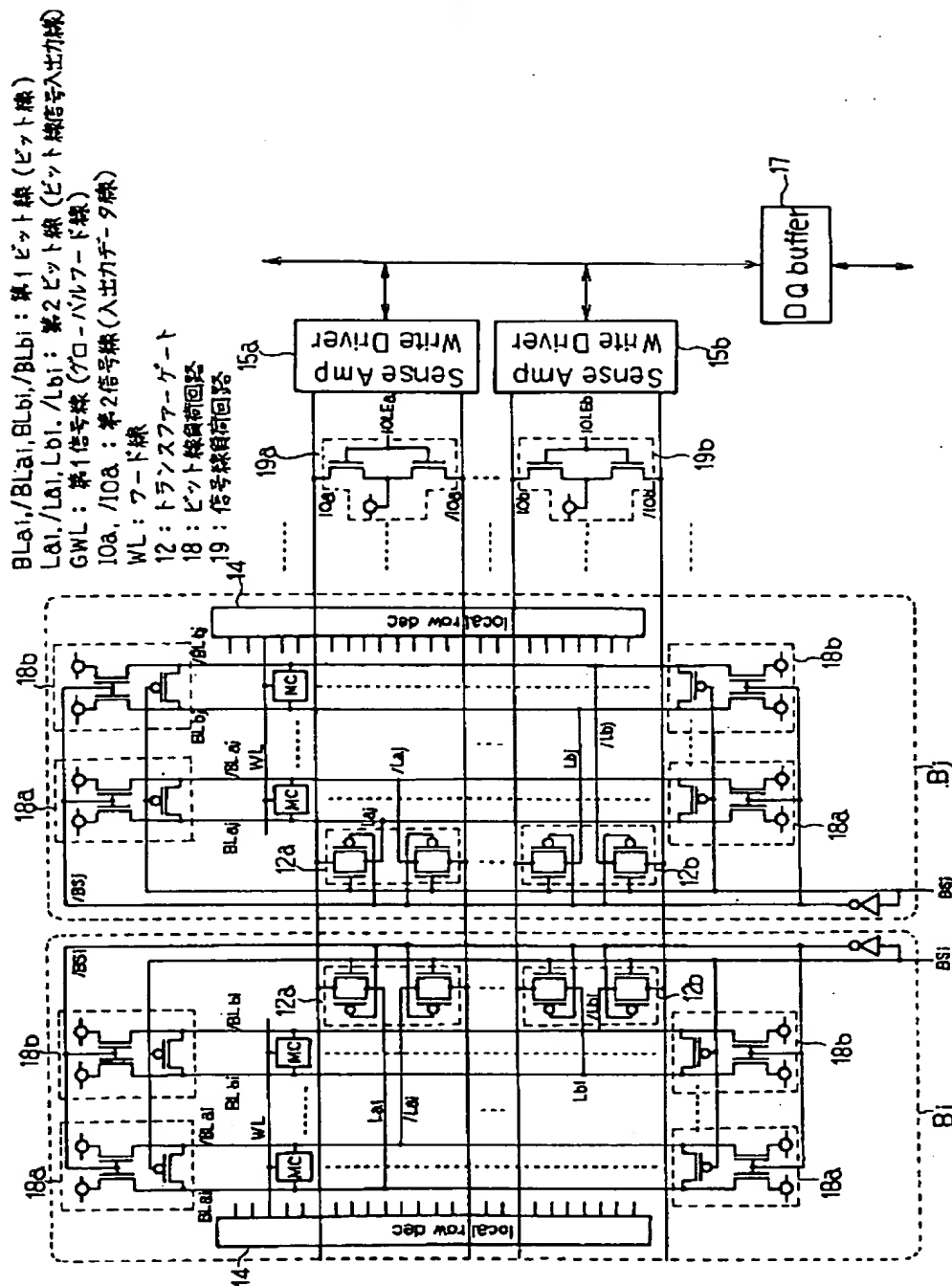
【図 12】



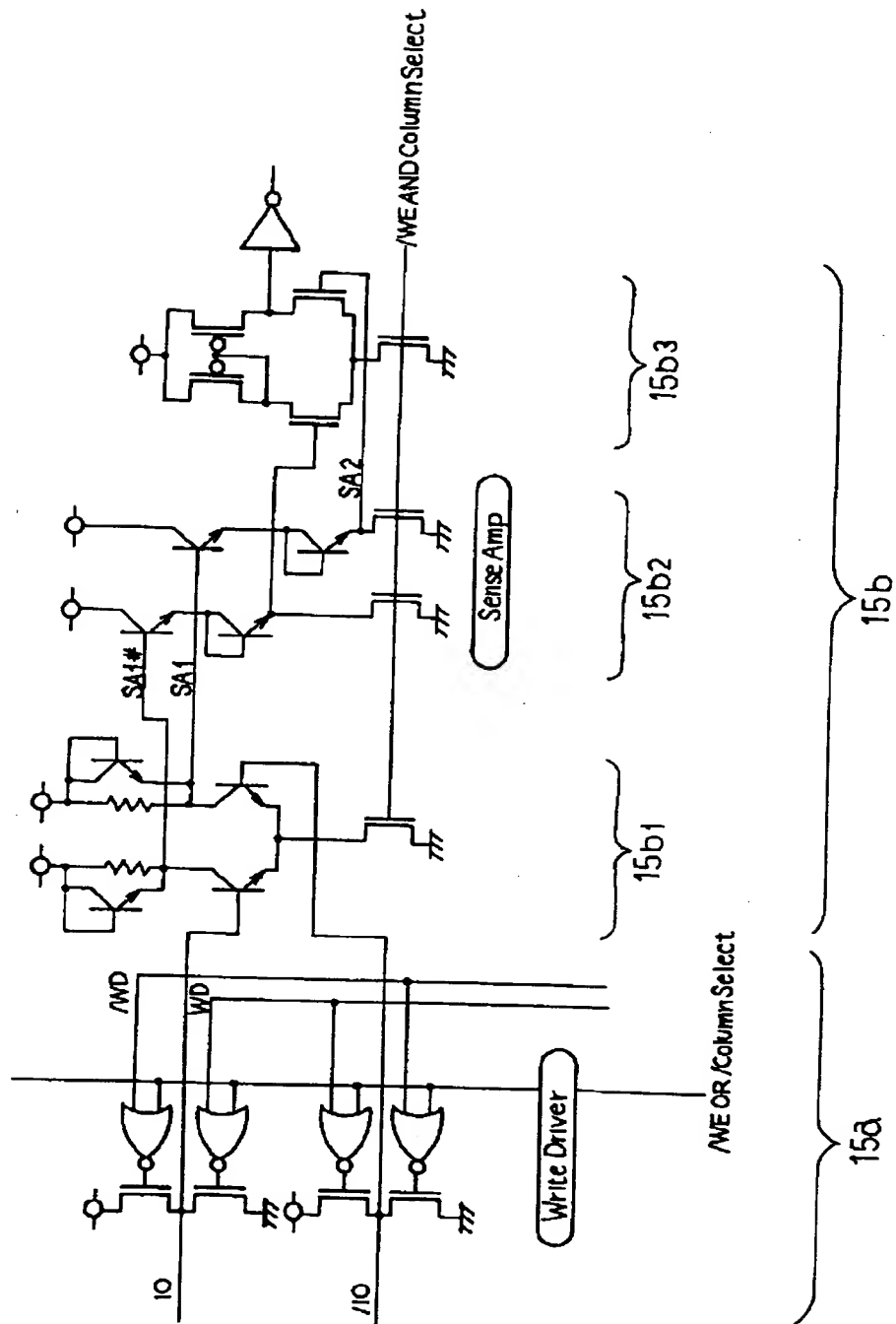
【図 9】



【図7】

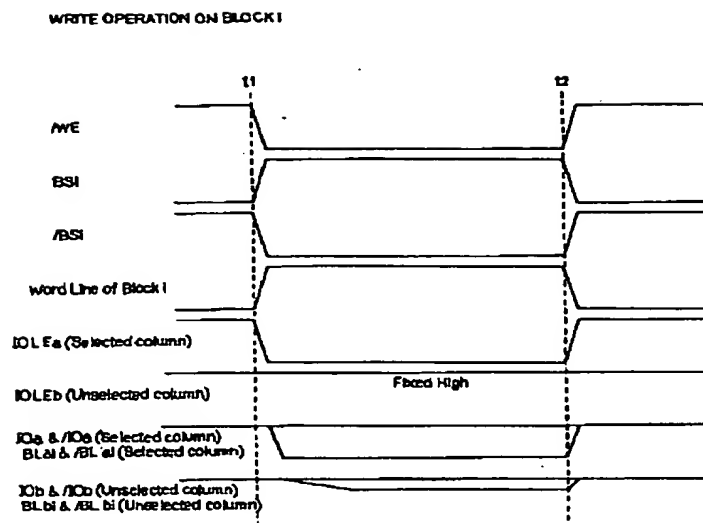


【図8】

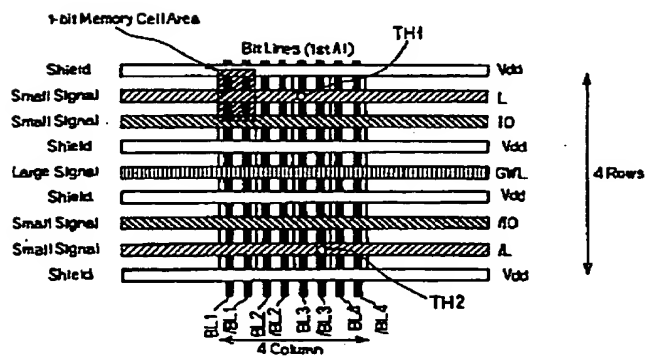




【図10】

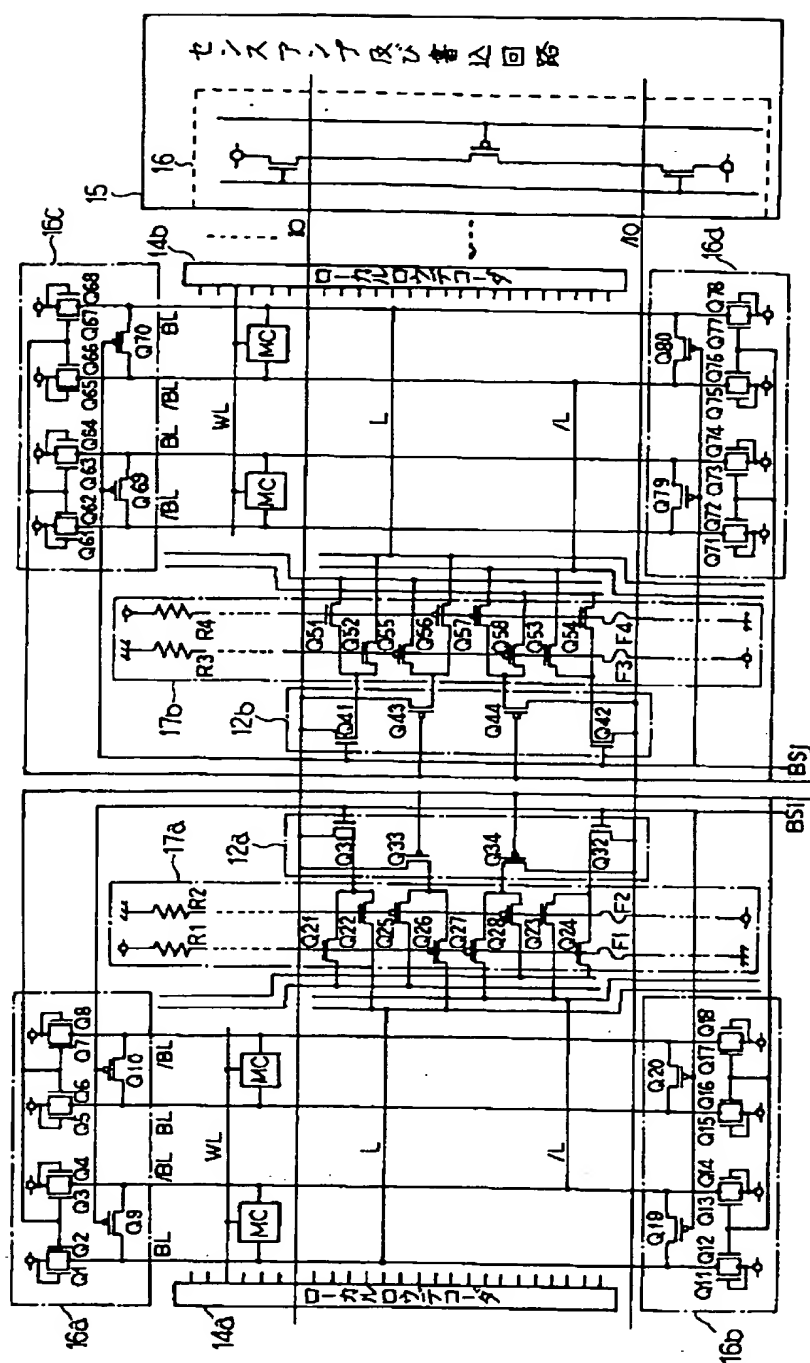


【図14】





【图 13】



フロントページの続き

(72)発明者 石川 英一  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内



11

12

13